

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-332730

(43)Date of publication of application : 30.11.2001

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/28

(21)Application number : 2000-146993

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 18.05.2000

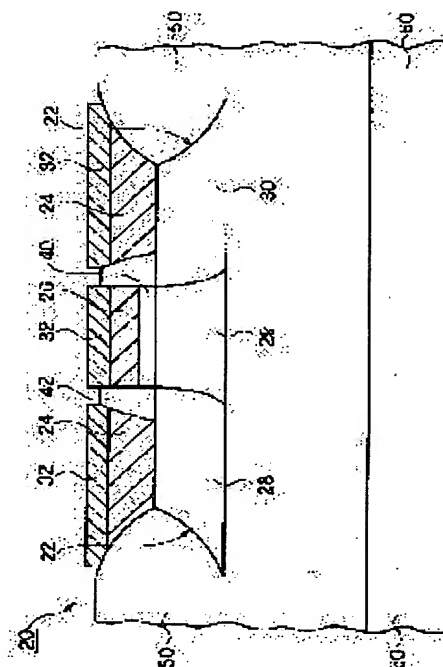
(72)Inventor : SATO YOKO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device and a method for manufacturing the device capable of assuring a transistor function even when a thin element forming region is salicided in the device using an SOI substrate, reducing in size of the device, flattening and saliciding the region in a same step and raising its manufacturing efficiency.

**SOLUTION:** An island-like silicon layer formed in an insulating layer is formed as an element forming region 22, gate electrodes 26 are formed on a front surface of the region 22, a source region 28 is formed on one of the electrode 26, and the other is formed on a drain region 30. A polycrystal silicon layer 24 is formed on the region 28, and the region 30 and silicide layers 32 are respectively formed on front surface sides of the layer 24 and the electrodes 26.



## LEGAL STATUS

[Date of request for examination]

22.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The gate electrode which the single-crystal-silicon layer prepared through the insulating layer on the support substrate was divided by the isolation region to two or more component formation fields, and prepared in said component formation field through the insulator layer by it, The semiconductor device characterized by having the silicon layer which is the semiconductor device which equipped the 1 side of this gate electrode with the source field, and equipped the side else with the drain field, and was prepared on said source field and said drain field, and the silicide formed in the surface section of this silicon layer.

[Claim 2] Said silicon layer is a semiconductor device according to claim 1 characterized by having formed in the same height as said gate electrode, and forming silicide in the surface section of a gate electrode.

[Claim 3] Said silicide is a semiconductor device according to claim 1 or 2 characterized by forming in self align.

[Claim 4] The process which forms an isolation region in the single-crystal-silicon layer prepared through the insulating layer on the support substrate, and divides said single-crystal-silicon layer to two or more component formation fields, The process which forms a gate electrode in said component formation field through an insulator layer, and the process which forms a sidewall in the flank of said gate electrode, After covering a front face and forming a silicon layer, while carrying out flattening of the silicon layer and exposing said isolation region The manufacture approach of the semiconductor device characterized by having the process which makes said silicon

layer remain into the part corresponding to a source field and a drain field, and the process which forms metal silicide in the surface section of said silicon layer made to remain after covering a front face and forming a metal layer.

[Claim 5] Flattening of said silicon layer is the manufacture approach of the semiconductor device according to claim 4 characterized by exposing said gate electrode with said isolation region, and forming metal silicide in the surface section of said gate electrode with said silicon layer.

[Claim 6] Said source field and drain field are the manufacture approach of the semiconductor device according to claim 4 or 5 characterized by pouring in and forming impurity ion after flattening of said silicon layer.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of of the semiconductor device and semiconductor device which Salicide-ized the surface section of a silicon layer especially about the manufacture approach of of the semiconductor device and semiconductor device which form the transistor of metal-oxide-semiconductor structure in the SOI (Silicon on Insulator) substrate which prepared the single-crystal-silicon layer through the insulating layer on the support substrate.

[0002]

[Description of the Prior Art] In performing improvement in the speed of a semiconductor device conventionally, the parasitic capacitance of a transistor poses a problem. If the thickness of the silicon layer of a semiconductor device is large, the parasitic capacitance of the formed transistor will become large and will serve as hindrance of improvement in the speed. For this reason, although to make a silicon layer thin and to make parasitic capacitance small is desired, in order to make such parasitic capacitance small, the SOI substrate attracts attention.

[0003] Said SOI (Silicon on Insulator) substrate is having structure which formed the single-crystal-silicon layer of a thin film in the front-face side of a support substrate through the insulating layer. Selective oxidation (Local Oxidation of Silicon) is performed on the single-crystal-silicon layer front face of said SOI substrate, and a component formation field is formed on a front face. And the technique which forms the

transistor of metal-oxide-semiconductor structure in said component formation field is developed.

[0004] Drawing 5 , drawing 6 , and drawing 7 are process drawings having shown the production process of the conventional semiconductor device 1. Moreover, drawing 4 is the sectional view showing the semiconductor device 1 in the former. The SOI substrate which forms the component formation field 4 consists of 3 layer structures which the insulating layer 3 was formed on the support substrate 2 as shown in drawing 5 (a), and formed the thin single crystal silicon 14 on the insulating layer 3 concerned. And the nitride ( $\text{Si}_3\text{N}_4$ ) 15 is formed by CVD (Chemical Vapor Deposition) etc. in the component formation field 4 creation part of said thin single crystal silicon 14. A nitride 15 is removed after continuing and oxidizing the front face of such a single-crystal-silicon layer 14 on the whole surface. Drawing 5 (b) is the sectional view having shown one of the component formation fields 4 after removing said nitride 15. The surface section of the single-crystal-silicon layer 14 oxidizes, and serves as an insulating layer 3. The part which formed said nitride 15 of the single-crystal-silicon layer 14 is held with single crystal silicon, without oxidizing, and serves as the component formation field 4.

[0005] Thus, the transistor of metal-oxide-semiconductor structure is formed in the formed component formation field 4. That is, as shown in drawing 6 (a), the gate electrode 5 is formed in the surface center section of the component formation field 4 through gate dielectric film 6. And the whole surface is covered and the insulator layers 16, such as  $\text{SiO}_2$ , are made to deposit, as shown in drawing 6 (b). And a sidewall 10 is formed in the side of the gate electrode 5 while anisotropic etching etc. removes said insulator layer 16, as shown in drawing 7 (a). As impurity ion is poured into such a component formation field and it is shown in drawing 7 (a), the source field 11 and the drain field 12 are formed, and let between these be the channel field 7. Thus, the transistor of metal-oxide-semiconductor structure is formed.

[0006] By the way, since resistance of the front face of the silicon layer which connects is strong when a direct wiring electrode is connected to the front face of the front face and the source field 11 of the gate electrode 5, or the drain field 12 to which an electrical potential difference is made to impress, the operating voltage of the transistor of metal-oxide-semiconductor structure will become high. For this reason, it is necessary to reduce the resistance of the front face of the source field 11, the drain field 12, and the gate electrode 5, and to raise the effectiveness of the transistor of metal-oxide-semiconductor structure of operation. As such a technique, as shown in drawing 4 , the technique of making the silicide layer 13 forming in the surface section

of the surface section and the source field 11 of the gate electrode 5, or the drain field 12 is developed.

[0007] Namely, as shown in drawing 7 (b), it continues all over said component formation field 4, and it heat-treats by forming a metal membrane 18. Thereby, the front face of the gate electrode 5, the source field 11, and the drain field 12 is made to alloy, and as shown in drawing 4, the silicide layer 13 is formed in the front face of the component formation field 4. Thereby, the resistance of each surface section can be lowered.

[0008]

[Problem(s) to be Solved by the Invention] However, there were the following problems in the former.

[0009] As described above, conventionally, it is forming a silicide layer in the surface section of the source field formed in the component formation field, a drain field, and each gate electrode, and the resistance of the surface section concerned is decreased. However, since the thickness of a component formation field is very thin, it has a possibility that most of source fields, and drain most of [ all or ] may be occupied in a silicide layer. Thus, when a silicide layer is formed, since a PN junction is lost, there is a problem it becomes impossible to demonstrate the operation as a transistor.

[0010] Moreover, although multilayering of a semiconductor device may be attained, as described above, the height of a gate electrode differs from the height of a source field and a drain field. For this reason, when making electrode wiring etc. deposit on the upper part, flattening needed to be carried out after deposition and it had time and effort in processing. Moreover, in case opening was formed in a gate electrode, a source field, and a drain field, it was difficult for a focal gap to arise by the difference in height, and to form uniform opening. For this reason, the production process became complicated and was processing top trouble.

[0011] Even if the purpose of 1 of this invention was made in order to solve the above-mentioned trouble, and it forms a silicide layer, it is to offer the manufacture approach of of the semiconductor device and semiconductor device which can attain improvement in the speed of a transistor, being able to secure a source field and a drain field and decreasing surface electrical resistance.

[0012] Moreover, the purpose of further others of this invention can perform the surface flattening process and silicide layer formation process of a transistor of metal-oxide-semiconductor structure in a continuous process, and is to offer the manufacture approach of of the semiconductor device and semiconductor device which can raise the manufacture effectiveness of the transistor of metal-oxide-semiconductor

structure.

[0013]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the semiconductor device concerning this invention The gate electrode which the single-crystal-silicon layer prepared through the insulating layer on the support substrate was divided by the isolation region to two or more component formation fields, and prepared in said component formation field through the insulator layer by it, It is the semiconductor device which equipped the 1 side of this gate electrode with the source field, and equipped the side else with the drain field, and considered as the configuration which has the silicon layer prepared on said source field and said drain field, and the silicide formed in the surface section of this silicon layer. By doing in this way, resistance can be decreased by the silicide layer prepared on the front face, only thickness required for transistor actuation securing the thickness of a source field and a drain field. While being able to attain improvement in the speed of the transistor of the formed metal-oxide-semiconductor structure, the effectiveness of the transistor of metal-oxide-semiconductor structure of operation can be raised.

[0014] In the above-mentioned configuration, said silicon layer is formed in the same height as said gate electrode, and can be considered as the configuration in which silicide is formed in the surface section of a gate electrode. Thus, also when writing and making wiring etc. deposit on a silicon layer, there is no possibility that a strain may arise and it can use also for lamination of a transistor preferably. Moreover, since a focus becomes the same in each also when preparing opening etc. in a gate electrode, a source field, and a drain field, it can form equally. Thus, a quality semiconductor device can be formed.

[0015] In the above-mentioned configuration, said silicide can be considered as the configuration formed in self align. Such a technique is called the Salicide technique (the abbreviation for SALICIDE; Self-Aligned Silicide). Such silicide can be formed by heat-treating by making a metal membrane deposit on the front face of a silicon layer. Thus, by forming silicide in self align, the process on which a mask is made to deposit becomes unnecessary, and down stream processing can be made easy.

[0016] Moreover, in order to attain the above-mentioned purpose, it sets to the manufacture approach of the semiconductor device concerning this invention. The process which forms an isolation region in the single-crystal-silicon layer prepared through the insulating layer on the support substrate, and divides said single-crystal-silicon layer to two or more component formation fields, The process which forms a gate electrode in said component formation field through an insulator

layer, and the process which forms a sidewall in the flank of said gate electrode, After covering a front face and forming a silicon layer, while carrying out flattening of the silicon layer and exposing said isolation region It considered as the configuration which has the process which makes said silicon layer remain into the part corresponding to a source field and a drain field, and the process which forms metal silicide in the surface section of said silicon layer made to remain after covering a front face and forming a metal layer. Since surface electrical resistance can be lowered by doing in this way, securing the transistor ability formed in the component formation field, a transistor can be operated efficiently. Moreover, as a substrate which applies the manufacture approach of such a semiconductor device, although the substrate of a SOI mold is desirable, also when forming a transistor in a thin component formation field, it can apply.

[0017] In the above-mentioned configuration, flattening of said silicon layer can expose said gate electrode with said isolation region, and can be considered as the configuration which forms metal silicide in the surface section of said gate electrode with said silicon layer. By doing in this way, a flattening process and a Salicide chemically-modified degree can be performed continuously, and manufacture effectiveness can be raised. Moreover, CMP (Chemical Mechanical polishing) which is a polish technique by the chemical approach as the technique of performing flattening of a silicon layer, and RIE (Reacting Ion Etching) which removes a polycrystalline silicon layer by the activation plasma are desirable.

[0018] Moreover, in the above-mentioned configuration, said source field and drain field can be considered as the configuration which pours in and forms impurity ion after flattening of said silicon layer.

[0019]

[Embodiment of the Invention] The manufacture approach of the semiconductor device in the operation gestalt of this invention and a semiconductor device is explained to a detail using a drawing. In this operation gestalt, while forming the transistor of NMOS structure in the component formation field divided by the insulator layer which is an isolation region, the case where a silicide layer is prepared in the front-face side of the transistor of the formed NMOS structure is explained.

[0020] Drawing 1 is the sectional view of the semiconductor device 20 in this operation gestalt. The single-crystal-silicon layer came to prepare said semiconductor device 20 through the insulating layer 50 which consists of an oxide film ( $\text{SiO}_2$ ) on the support substrate 60 which consists of silicon, said insulating layer 50 became an isolation region, and it has divided the single-crystal-silicon layer to two or more component

formation fields 22. In drawing 1 , the semiconductor device 20 which formed the transistor of NMOS structure in one of said two or more component formation fields 22 is shown. That is, said component formation field 22 is equipped with the gate electrode 26 prepared through gate dielectric film 40 on the surface center section. And the 1 side of said gate electrode 26 is equipped with the source field 28, it equips the side else with the drain field 30, and said component formation field 22 makes between the source fields 28 and the drain fields 30 concerned concerned the channel field 29. In this operation gestalt, while forming the source field 28 and the drain field 30 in the diffusion layer of N type, the channel field 29 is formed in the diffusion layer of P type, and it is considering as the transistor of NMOS structure.

[0021] In this operation gestalt, the polycrystalline silicon layer 24 is formed on the source field 28 and the drain field 30. And the silicide layer 32 is formed in the surface section of said polycrystalline silicon layer 24. Thus, the resistance of the surface section can be decreased, only thickness required for transistor actuation securing [ write, and ] the thickness of the source field 28 and the drain field 30, even when the component formation field 22 is very thin.

[0022] Moreover, while having formed said polycrystalline silicon layer 24 in the same height as said gate electrode 26, the silicide layer 32 is formed in the surface section of said gate electrode 26. For this reason, also when making wiring etc. deposit on the polycrystalline silicon layer 24, there is no possibility that a strain may arise and it can use also for lamination of a transistor preferably. Moreover, also when preparing opening etc. in a gate electrode, a source field, and a drain field, since height is the same in each, a focus becomes the same, and it can form equally.

[0023] Thus, an operation of the formed semiconductor device 20 is as follows. The wiring electrode which is not illustrated is connected to each surface section of the gate electrode 26, the source field 28, and the drain field 30. And operating voltage is impressed to the gate electrode 26. As described above, even when the component formation field 22 is very thin, it can Salicide-ize by having prepared polish recon on the source field 28 and the drain field 30. Thus, the transistor of NMOS with small resistance can be operated by Salicide-izing. Since the transistor of NMOS with resistance small as mentioned above can be operated, high-speed operation and low-battery actuation can be carried out.

[0024] The manufacture approach of the semiconductor device 20 of this operation gestalt is explained. In this operation gestalt, the component formation field 22 is formed in the single-crystal-silicon layer of SOI structure, the transistor of NMOS structure is formed in the component formation field 22 concerned, and the case where



the silicide layer 32 is formed in the surface section is explained. In addition, about the formation process of the component formation field 22, and the formation process of the gate electrode 26, it is the same with having been shown in drawing 5 and drawing 6, and explanation is omitted.

[0025] Drawing 2 and drawing 3 are process drawings showing the manufacture approach of the semiconductor device 20 in this operation gestalt. First, as shown in drawing 2 (a), the component formation field 22 is surrounded in the perimeter by the insulating layer 50 with larger thickness ( $\text{SiO}_2$ ) than the component formation field 22 concerned. In this operation gestalt, said component formation field 22 is formed with the single crystal silicon of P type. On the surface center section of said component formation field 22, the gate electrode 26 formed in polish recon through gate oxide 40 is formed. As shown in drawing 2, the insulating layer 50 which is an isolation region is highly formed rather than the height of the gate electrode 26. Said gate electrode 26 is covered with the insulator layer 41 in the perimeter. Said insulator layer 41 continues all over the component formation field 22, makes  $\text{SiO}_2$  deposit, and is formed by removing  $\text{SiO}_2$  concerned by anisotropic etching except for the perimeter of the gate electrode 26. Thus, it has prevented that the gate electrode 26 connects with a perimeter too hastily by the formed insulator layer 41.

[0026] Thus, the whole surface is covered and is made to deposit the polycrystalline silicon layer 24 on said component formation field 22 front face in which the gate electrode 26 was formed, as shown in drawing 2 (b). Thus, flattening of the formed polycrystalline silicon layer 24 is removed and carried out to homogeneity to the height shown by the dotted line of drawing 2 (b). This flattening activity has CMP (Chemical Mechanical polishing) which is the chemical machinery polish approach, and desirable RIE (Reacting Ion Etching) which removes a polycrystalline silicon layer by the activation plasma. In this operation gestalt, flattening is performed to the height to which gate electrode 26 front face is exposed. Therefore, while exposing the insulating layer 50 which is said isolation region, said polycrystalline silicon layer 24 can be made to remain into the part corresponding to the source field 28 and the drain field 30. Moreover, the insulator layer 41 prepared in gate electrode 26 side face can be used as a sidewall 42. Since gate electrode 26 outside surface was made to cover by the insulator layer 41 as described above, sidewall 42 front face where flattening of the insulator layer 41 concerned was carried out also has predetermined thickness, and has performed separation with the gate electrode 26 and the polycrystalline silicon layer 24. Thereby, it can prevent that the gate electrode 26 connects with the polycrystalline silicon layer 24 too hastily.

[0027] And N type impurity ion (for example, Phosphorus (P), arsenic (As), etc.) is poured into the component formation field 22 of gate electrode 26 both sides, respectively, and an N type field is made to carry out reforming of the source field 28 and the drain field 30, as shown in drawing 3 (a). As described above, since the component formation field 22 is formed in the silicon layer of P type, the channel field 29 between said source fields 28 and said drain fields 30 is held to a P type field. Thereby, the transistor of NMOS structure can be made to form in the component formation field 22. By forming the source field 28 and the drain field 30 in such a component formation field 22, parasitic capacitance can be made small and improvement in the speed of the formed transistor can be attained.

[0028] And as shown in drawing 3 (b), it continues the whole surface from the upper part of the polycrystalline silicon layer 24 and the gate electrode 26, and Salicide(the abbreviation for SALICIDE;Self-Aligned Silicide)-ization is performed. Salicide-ization is technical [ which makes a silicide layer form in the front face of a silicon layer ]. That is, the metal membranes 70, such as titanium, are made to deposit on the front face of the polycrystalline silicon layer 24 and the gate electrode 26, and the silicide layer 32 is made to form in the surface section of the polycrystalline silicon layer 24 or the gate electrode 26 by heat-treating. By doing in this way, in case a silicide layer is formed, the process on which a mask is made to deposit becomes unnecessary, and the increase in efficiency of processing can be attained. As mentioned above, the silicide layer 32 is formed in the surface section of the polycrystalline silicon layer 24 deposited on the source field 28 or the drain field 30. For this reason, the thickness of the source field 28 formed in the component formation field 22 or the drain field 30 is securable, and it can lower surface electrical resistance while the transistor ability formed in the component formation field 22 by formation of the silicide layer 32 makes it hold. For this reason, the transistor of the formed NMOS structure can be operated efficiently. In addition, others, cobalt, and a tungsten may be used as a formation ingredient of a metal membrane 70. [ titanium ]

[0029] In addition, in this operation gestalt, although the case where the transistor of NMOS structure was created using the silicon layer of P type was explained, when creating the transistor of PMOS structure using the silicon layer of N type, when using the transistor of CMOS structure, and not only this but when, it can be used.

[0030]

[Effect of the Invention] As explained above, while being able to form the transistor of metal-oxide-semiconductor structure in a thin component formation field and being able to attain improvement in the speed of a transistor in this invention, it has a

silicide layer and the effectiveness of the transistor of metal-oxide-semiconductor structure of operation can be raised to the front-face side of a component formation field.

[0031] Moreover, in this invention, in case a silicide layer is formed, a mask is not needed, but a silicide layer can be formed in self align.

[0032] Moreover, in this invention, since surface electrical resistance can be lowered securing the transistor ability formed in the component formation field, a transistor can be operated efficiently.

[0033] Moreover, in this invention, the surface flattening process and silicide layer formation process of a transistor of metal-oxide-semiconductor structure can be performed in a continuous process, and the manufacture effectiveness of the transistor of metal-oxide-semiconductor structure can be raised.

[0034]

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the semiconductor device in the operation gestalt of this invention.

[Drawing 2] It is process drawing showing the manufacture approach of the semiconductor device in the operation gestalt of this invention.

[Drawing 3] It is process drawing showing the manufacture approach of the semiconductor device in the operation gestalt of this invention.

[Drawing 4] It is the sectional view showing the semiconductor device in the former.

[Drawing 5] It is process drawing showing the manufacture approach of the semiconductor device in the former.

[Drawing 6] It is process drawing showing the manufacture approach of the semiconductor device in the former.

[Drawing 7] It is process drawing showing the manufacture approach of the semiconductor device in the former.

[Description of Notations]

- 1 ..... Semiconductor device
- 2 ..... Support substrate
- 3 ..... Insulating layer
- 4 ..... Component formation field
- 5 ..... Gate electrode
- 6 ..... Gate dielectric film
- 7 ..... Channel field
- 10 ..... Sidewall

11 ..... Source field  
12 ..... Drain field  
13 ..... Silicide layer  
14 ..... Single-crystal silicon layer  
15 ..... Nitride  
16 ..... Insulator layer  
18 ..... Metal membrane  
20 ..... Semiconductor device  
22 ..... Component formation field  
24 ..... Polycrystalline silicon layer  
26 ..... Gate electrode  
28 ..... Source field  
29 ..... Channel field  
30 ..... Drain field  
32 ..... Silicide layer  
40 ..... Gate dielectric film  
41 ..... Insulator layer  
42 ..... Sidewall  
50 ..... Insulating layer  
60 ..... Support substrate  
70 ..... Metal membrane

**Abstract:**

**PROBLEM TO BE SOLVED:** To provide a semiconductor device and a method for manufacturing the device capable of assuring a transistor function even when a thin element forming region is salicided in the device using an SOI substrate, reducing in size of the device, flattening and saliciding the region in a same step and raising its manufacturing efficiency.

**SOLUTION:** An island-like silicon layer formed in an insulating layer is formed as an element forming region 22, gate electrodes 26 are formed on a front surface of the region 22, a source region 28 is formed on one of the electrode 26, and the other is formed on a drain region 30. A polycrystal silicon layer 24 is formed on the region 28, and the region 30 and silicide layers 32 are respectively formed on front surface sides of the layer 24 and the electrodes 26.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-332730

(P2001-332730A)

(43)公開日 平成13年11月30日(2001.11.30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
H 0 1 L 29/786		H 0 1 L 21/28	3 0 1 S 4 M 1 0 4
21/336		29/78	6 1 6 J 5 F 1 1 0
21/28	3 0 1		6 1 6 U
			6 2 7 A

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21)出願番号 特願2000-146993(P2000-146993)

(22)出願日 平成12年5月18日(2000.5.18)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 佐藤 陽子

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅彦 (外1名)

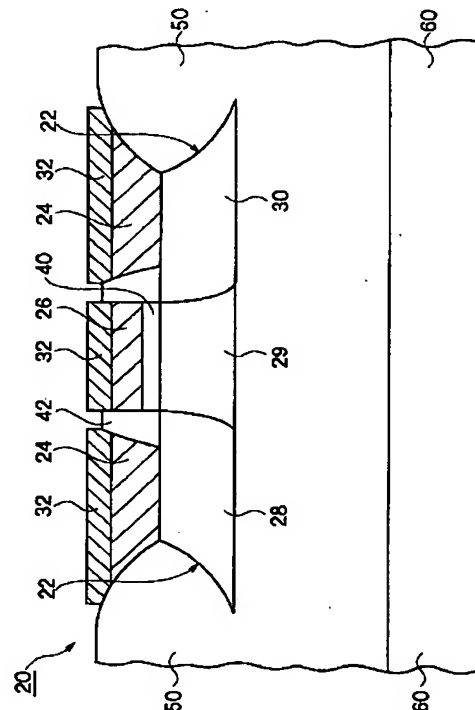
最終頁に続く

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【課題】 S O I 基板を用いた半導体装置において、薄型の素子形成領域にサリサイド化を行ってもトランジスタ機能を確保させることができ、半導体装置の小型化を図ることができ、平坦化とサリサイド化を同時工程にて行うことができ、製造効率を上昇させることのできる半導体装置及びその製造方法を提供する。

【解決手段】 絶縁層中に形成した島状のシリコン層を素子形成領域22とし、当該素子形成領域22表面にゲート電極26を形成し、当該ゲート電極26の一方にソース領域28を、他方にドレイン領域30を形成した。前記ソース領域28と前記ドレイン領域30の上に、多結晶シリコン層24を形成させ、当該多結晶シリコン層24と前記ゲート電極26の表面側にシリサイド層32を形成した。



## 【特許請求の範囲】

【請求項1】 支持基板上に絶縁層を介して設けた単結晶シリコン層が、分離領域によって複数の素子形成領域に区画され、前記素子形成領域に絶縁膜を介して設けたゲート電極と、このゲート電極の一侧にソース領域、他側にドレイン領域とを備えた半導体装置であって、前記ソース領域と前記ドレイン領域との上に設けたシリコン層と、このシリコン層の表層部に形成したシリサイドと、を有することを特徴とした半導体装置。

【請求項2】 前記シリコン層は、前記ゲート電極と同一の高さに形成してあり、ゲート電極の表層部にシリサイドが形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記シリサイドは自己整合的に形成したことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 支持基板上に絶縁層を介して設けた単結晶シリコン層に分離領域を形成し、前記単結晶シリコン層を複数の素子形成領域に区画する工程と、前記素子形成領域に絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の側部にサイドウォールを形成する工程と、表面を覆ってシリコン層を形成したのち、シリコン層を平坦化して前記分離領域を露出させるとともに、ソース領域とドレイン領域とに対応した部分に前記シリコン層を残存させる工程と、表面を覆って金属層を形成したのち、前記残存させたシリコン層の表層部に金属シリサイドを形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項5】 前記シリコン層の平坦化は、前記分離領域とともに前記ゲート電極を露出させ、前記ゲート電極の表層部に前記シリコン層とともに金属シリサイドを形成することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記ソース領域とドレイン領域は、前記シリコン層の平坦化後に、不純物イオンを注入して形成することを特徴とする請求項4または5に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、支持基板上に絶縁層を介して単結晶シリコン層を設けたSOI (Silicon on Insulator) 基板に、MOS構造のトランジスタを形成する半導体装置及び半導体装置の製造方法に関し、特に、シリコン層の表層部をシリサイド化した半導体装置及び半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 従来、半導体装置の高速化を行うに当たっては、トランジスタの寄生容量が問題となる。半導体装置のシリコン層の厚みが大きいと、形成したトランジスタの寄生容量が大きくなり、高速化の妨げとなる。このため、シリコン層を薄くして寄生容量を小さくすることが望まれるが、このような寄生容量を小さくするためにSOI基板が注目されている。

【0003】 前記SOI (Silicon on Insulator) 基板は、支持基板の表面側に絶縁層を介して薄膜の単結晶シリコン層を形成した構造をしている。前記SOI基板の単結晶シリコン層表面に選択酸化 (Local Oxidation of Silicon) を行って、表面上に素子形成領域を形成する。そして、前記素子形成領域にMOS構造のトランジスタを形成する技術が開発されている。

【0004】 図5、図6、図7は、従来の半導体装置1の製造工程を示した工程図である。また、図4は、従来における半導体装置1を示す断面図である。素子形成領域4を設けるSOI基板は、図5(a)に示したように支持基板2の上に絶縁層3が形成され、当該絶縁層3の上に薄型単結晶シリコン14を形成した三層構造からなっている。そして、前記薄型単結晶シリコン14の素子形成領域4作成箇所に窒化膜 (Si<sub>3</sub>N<sub>4</sub>) 15をCVD (Chemical Vapor Deposition) などで成膜している。このような単結晶シリコン層14の表面を全面に亘り酸化した後、窒化膜15を除去する。図5(b)は、前記窒化膜15を除去後の素子形成領域4の一つを示した断面図である。単結晶シリコン層14の表層部は酸化されて絶縁層3となる。単結晶シリコン層14の前記窒化膜15を成膜した部分は、酸化されずに単結晶シリコンのまま保持されて素子形成領域4となる。

【0005】 このように形成した素子形成領域4に、MOS構造のトランジスタを形成する。すなわち、図6(a)に示したように、素子形成領域4の表面中央部にゲート絶縁膜6を介してゲート電極5を形成する。そして、図6(b)に示したように、全面に亘り、SiO<sub>2</sub>などの絶縁膜16を堆積させる。それから、図7(a)に示すように、異方性エッチングなどにより前記絶縁膜16を除去するとともに、ゲート電極5の側方にサイドウォール10が形成される。このような素子形成領域に、不純物イオンを注入して、図7(a)に示すように、ソース領域11とドレイン領域12を形成して、これらの間をチャンネル領域7とする。このようにして、MOS構造のトランジスタを形成する。

【0006】 ところで、電圧を印加させるゲート電極5の表面や、ソース領域11やドレイン領域12の表面に直接配線電極を接続すると、接続するシリコン層の表面の抵抗が大きいため、MOS構造のトランジスタの動作電圧が高くなってしまふ。このため、ソース領域11や

ドレイン領域12、ゲート電極5の表面の抵抗値を低下させて、MOS構造のトランジスタの動作効率を高める必要がある。このような技術として、図4に示したように、ゲート電極5の表層部や、ソース領域11やドレイン領域12の表層部にシリサイド層13を形成させる技術が開発されている。

【0007】すなわち、図7(b)に示すように前記素子形成領域4の全面に亘り、金属膜18を成膜して、熱処理を行う。これにより、ゲート電極5、ソース領域11、ドレイン領域12の表面を合金化させて、図4に示すように素子形成領域4の表面にシリサイド層13を形成するのである。これにより、それぞれの表層部の抵抗値を下げるができる。

【0008】

【発明が解決しようとする課題】しかし、従来においては以下のような問題があった。

【0009】上記したように、従来は素子形成領域に形成したソース領域やドレイン領域、ゲート電極それぞれの表層部にシリサイド層を形成することで、当該表層部の抵抗値を減少させている。しかし、素子形成領域の膜厚は非常に薄いため、ソース領域やドレイン領域の全部もしくは大部分がシリサイド層にて占められるおそれがある。このようにシリサイド層を形成すると、PN接合が無くなるためトランジスタとしての作用を発揮させることができなくなる問題がある。

【0010】また、半導体装置の多層化を図る場合があるが、上記したようにゲート電極の高さと、ソース領域及びドレイン領域の高さが異なっている。このため、上部に電極配線等を堆積させる際に、堆積の後で平坦化させる必要があり処理に手間を有していた。また、ゲート電極やソース領域、ドレイン領域に開口部を形成する際に、高さの違いにより焦点ずれが生じ、均一な開口部を形成することが困難であった。このため、製造工程が複雑となり処理上面倒であった。

【0011】本発明の一の目的は、上記問題点を解決するためになされたもので、シリサイド層を形成しても、ソース領域及びドレイン領域を確保することができ、表面抵抗を減少させつつトランジスタの高速化を図ることができる半導体装置及び半導体装置の製造方法を提供することにある。

【0012】また、本発明のさらに他の目的は、MOS構造のトランジスタの表面平坦化工程とシリサイド層形成工程を連続工程にて行うことができ、MOS構造のトランジスタの製造効率を上昇させることのできる半導体装置及び半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体装置は、支持基板上に絶縁層を介して設けた単結晶シリコン層が、分離領域によって複数の素子形成領域に区画され、前記素子形成領域に絶縁

膜を介して設けたゲート電極と、このゲート電極の一侧にソース領域、他側にドレイン領域とを備えた半導体装置であって、前記ソース領域と前記ドレイン領域との上に設けたシリコン層と、このシリコン層の表層部に形成したシリサイドと、を有する構成とした。このようにすることで、ソース領域、ドレイン領域の厚みをトランジスタ動作に必要な厚みだけ確保しつつ、表面上に設けたシリサイド層により抵抗値を減少させることができる。形成したMOS構造のトランジスタの高速化を図ることができるとともに、MOS構造のトランジスタの動作効率を高めることができる。

【0014】上記構成において、前記シリコン層は、前記ゲート電極と同一の高さに形成してあり、ゲート電極の表層部にシリサイドが形成されている構成とすることができる。このようにしたため、シリコン層上に配線等を堆積させる場合にも、ひずみが生じるおそれがなく、またトランジスタの積層化にも好ましく用いることができる。また、ゲート電極やソース領域、ドレイン領域に開口部などを設ける場合にも、それぞれにおいて焦点が同一となるため、均等に形成することができる。このように、高品質な半導体装置を形成することができる。

【0015】上記構成において、前記シリサイドは自己整合的に形成した構成とすることができる。このような技術は、シリサイド技術(SALICIDE; Self-Aligned Silicideの略)と呼ばれる。このようなシリサイドは、シリコン層の表面に金属膜を堆積させて熱処理を行うことにより形成することができる。このように、シリサイドを自己整合的に形成することで、マスクを堆積させる工程が不要となり、処理工程を容易とすることができる。

【0016】また、上記目的を達成するために、本発明に係る半導体装置の製造方法においては、支持基板上に絶縁層を介して設けた単結晶シリコン層に分離領域を形成し、前記単結晶シリコン層を複数の素子形成領域に区画する工程と、前記素子形成領域に絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の側部にサイドウォールを形成する工程と、表面を覆ってシリコン層を形成したのち、シリコン層を平坦化して前記分離領域を露出させるとともに、ソース領域とドレイン領域とに対応した部分に前記シリコン層を残存させる工程と、表面を覆って金属層を形成したのち、前記残存させたシリコン層の表層部に金属シリサイドを形成する工程と、を有する構成とした。このようにすることで、素子形成領域に形成したトランジスタ機能を確保しつつ、表面抵抗を下げるができるため、トランジスタを効率的に動作させることができる。また、このような半導体装置の製造方法を適用する基板としては、SOI型の基板が好ましいが、薄型の素子形成領域にトランジスタを形成する場合にも、適用することができる。

【0017】上記構成において、前記シリコン層の平坦



化は、前記分離領域とともに前記ゲート電極を露出させ、前記ゲート電極の表層部に前記シリコン層とともに金属シリサイドを形成する構成とすることができる。このようにすることで、平坦化工程とサリサイド化工程とを連続的に行うことができ、製造効率を上昇させることができる。また、シリコン層の平坦化を行う手法としては、化学的方法による研磨技術であるCMP (Chemical Mechanical polishing) や、活性化プラズマにより多結晶シリコン層の除去を行うRIE (Reacting Ion Etching) が好ましい。

【0018】また、上記構成においては、前記ソース領域とドレイン領域は、前記シリコン層の平坦化後に、不純物イオンを注入して形成する構成とすることができる。

【0019】

【発明の実施の形態】本発明の実施形態における半導体装置及び半導体装置の製造方法について図面を用いて詳細に説明する。本実施形態においては、分離領域である絶縁膜によって区画された素子形成領域にNMOS構造のトランジスタを形成するとともに、形成したNMOS構造のトランジスタの表面側にシリサイド層を設ける場合について説明する。

【0020】図1は、本実施形態における半導体装置20の断面図である。前記半導体装置20は、シリコンからなる支持基板60の上に酸化膜(SiO<sub>2</sub>)からなる絶縁層50を介して単結晶シリコン層が設けてなり、前記絶縁層50が分離領域となって単結晶シリコン層を複数の素子形成領域22に区画している。図1においては、前記複数の素子形成領域22のうちの一つに、NMOS構造のトランジスタを形成した半導体装置20について示している。すなわち、前記素子形成領域22は、表面中央部にゲート絶縁膜40を介して設けたゲート電極26を備えている。そして、前記素子形成領域22は、前記ゲート電極26の一侧にソース領域28、他側にドレイン領域30とを備えており、当該ソース領域28と当該ドレイン領域30との間をチャネル領域29としている。本実施形態においては、ソース領域28やドレイン領域30をN型の拡散層にて形成するとともに、チャネル領域29をP型の拡散層にて形成して、NMOS構造のトランジスタとしている。

【0021】本実施形態においては、ソース領域28とドレイン領域30との上に多結晶シリコン層24を設けている。そして、前記多結晶シリコン層24の表層部には、シリサイド層32を形成している。このようにしたため、素子形成領域22が非常に薄い場合でもソース領域28とドレイン領域30の厚みをトランジスタ動作に必要な厚みだけ確保しつつ、表層部の抵抗値を減少させることができる。

【0022】また、前記多結晶シリコン層24は、前記

ゲート電極26と同一の高さに形成してあるとともに、前記ゲート電極26の表層部にシリサイド層32が形成されている。このため、多結晶シリコン層24上に配線等を堆積させる場合にも、ひずみが生じるおそれがなく、またトランジスタの積層化にも好ましく用いることができる。また、ゲート電極やソース領域、ドレイン領域に開口部などを設ける場合にも、それぞれにおいて高さが同じであるから焦点が同一となり、均等に形成することができる。

【0023】このように形成した半導体装置20の作用は以下になる。ゲート電極26、ソース領域28、ドレイン領域30のそれぞれの表層部には、図示しない配線電極が接続されている。そして、ゲート電極26に動作電圧が印加される。上記したように、ソース領域28、ドレイン領域30上にポリシリコンを設けたことで、素子形成領域22が非常に薄い場合でもサリサイド化することができる。このようにサリサイド化することによって抵抗値が小さいNMOSのトランジスタを動作させることができる。上記のように抵抗値が小さいNMOSのトランジスタを動作することができるため、高速動作や低電圧動作をさせることができる。

【0024】本実施形態の半導体装置20の製造方法について説明する。本実施形態においては、SOI構造の単結晶シリコン層にて素子形成領域22を形成して、当該素子形成領域22に、NMOS構造のトランジスタを形成し、表層部にシリサイド層32を設ける場合について説明する。なお、素子形成領域22の形成工程と、ゲート電極26の形成工程については、図5及び図6に示したのと同様であり、説明を省略する。

【0025】図2及び図3は、本実施形態における半導体装置20の製造方法を示す工程図である。まず、図2(a)に示したように、素子形成領域22は、周囲を当該素子形成領域22より膜厚の大きい絶縁層(SiO<sub>2</sub>)50にて囲まれている。本実施形態においては、前記素子形成領域22はP型の単結晶シリコンにて形成している。前記素子形成領域22の表面中央部上には、ゲート酸化膜40を介してポリシリコンにて形成したゲート電極26が設けられている。図2に示したように、ゲート電極26の高さよりも分離領域である絶縁層50の方が高く形成されている。前記ゲート電極26は周囲を絶縁膜41に覆われている。前記絶縁膜41は、素子形成領域22の全面に亘りSiO<sub>2</sub>を堆積させ、当該SiO<sub>2</sub>をゲート電極26の周囲を除いて異方性エッチングにより除去することで形成する。このように形成した絶縁膜41によりゲート電極26が周囲と短絡することを防止している。

【0026】このようにゲート電極26を形成した前記素子形成領域22表面に、図2(b)に示したように多結晶シリコン層24を全面に亘り堆積させる。このように形成した多結晶シリコン層24を、図2(b)の点線

で示した高さまで均一に除去して平坦化させる。この平坦化作業は、化学機械研磨方法であるCMP (Chemical Mechanical polishing) や、活性化プラズマにより多結晶シリコン層の除去を行うRIE (Reacting Ion Etching) が好ましい。本実施形態においては、ゲート電極26表面が露出される高さまで平坦化を行う。従って、前記分離領域である絶縁層50を露出させるとともに、ソース領域28とドレイン領域30とに対応した部分に前記多結晶シリコン層24を残存させることができる。また、ゲート電極26側面に設けた絶縁膜41をサイドウォール42とすることができる。上記したように、絶縁膜41でゲート電極26外表面を覆わせていたため、当該絶縁膜41が平坦化されたサイドウォール42表面も所定の厚みを有しており、ゲート電極26と多結晶シリコン層24との分離ができています。これにより、ゲート電極26が多結晶シリコン層24と短絡することを防止することができる。

【0027】そして、図3(a)に示すように、ゲート電極26両側の素子形成領域22にそれぞれN型不純物イオン(例えば、リン(P)や砒素(As)など)を注入して、ソース領域28とドレイン領域30とをN型領域に改質させる。上記したように、素子形成領域22はP型のシリコン層で形成しているため、前記ソース領域28と前記ドレイン領域30との間のチャネル領域29は、P型領域に保持される。これにより、素子形成領域22内にNMOS構造のトランジスタを形成させることができる。このような素子形成領域22に、ソース領域28、ドレイン領域30を形成することで、寄生容量を小さくすることができ、形成したトランジスタの高速化を図ることができる。

【0028】それから、図3(b)に示すように、多結晶シリコン層24とゲート電極26との上方から全面に亘りサリサイド(SALICIDE; Self-Aligned Silicideの略)化を行う。サリサイド化とは、シリコン層の表面にシリサイド層を形成させる技術のことである。すなわち、多結晶シリコン層24とゲート電極26との表面にチタンなどの金属膜70を堆積させて、熱処理を行うことで多結晶シリコン層24やゲート電極26の表層部にシリサイド層32を形成させる。このようにすることで、シリサイド層を形成する際にマスクを堆積させる工程が不要となり、処理の効率化を図ることができる。上記のように、シリサイド層32はソース領域28やドレイン領域30上に堆積した多結晶シリコン層24の表層部に形成している。このため、素子形成領域22に形成したソース領域28やドレイン領域30の厚みは確保でき、シリサイド層32の形成により素子形成領域22に形成したトランジスタ機能が保持させるとともに、表面抵抗を下げるができる。このため、形成したNMOS構造のトランジスタを

効率的に動作させることができる。なお、金属膜70の形成材料としては、チタンの他、コバルトやタングステンを用いてもよい。

【0029】なお、本実施形態においては、P型のシリコン層を用いてNMOS構造のトランジスタを作成する場合について説明したが、これに限らず、N型のシリコン層を用いてPMOS構造のトランジスタを作成する場合、またCMOS構造のトランジスタを用いる場合にも使用することができる。

#### 【0030】

【発明の効果】以上説明したように、本発明においては、薄型の素子形成領域にMOS構造のトランジスタを形成してトランジスタの高速化を図ることができるとともに、素子形成領域の表面側にシリサイド層を有して、MOS構造のトランジスタの動作効率を高めることができる。

【0031】また、本発明においては、シリサイド層を形成する際にマスクを必要とせず、自己整合的にシリサイド層を形成することができる。

【0032】また、本発明においては、素子形成領域に形成したトランジスタ機能を確保しつつ、表面抵抗を下げるができるため、トランジスタを効率的に動作させることができる。

【0033】また、本発明においては、MOS構造のトランジスタの表面平坦化工程とシリサイド層形成工程を連続工程にて行うことができ、MOS構造のトランジスタの製造効率を上昇させることができる。

#### 【0034】

##### 【図面の簡単な説明】

【図1】本発明の実施形態における半導体装置の断面図である。

【図2】本発明の実施形態における半導体装置の製造方法を示す工程図である。

【図3】本発明の実施形態における半導体装置の製造方法を示す工程図である。

【図4】従来における半導体装置を示す断面図である。

【図5】従来における半導体装置の製造方法を示す工程図である。

【図6】従来における半導体装置の製造方法を示す工程図である。

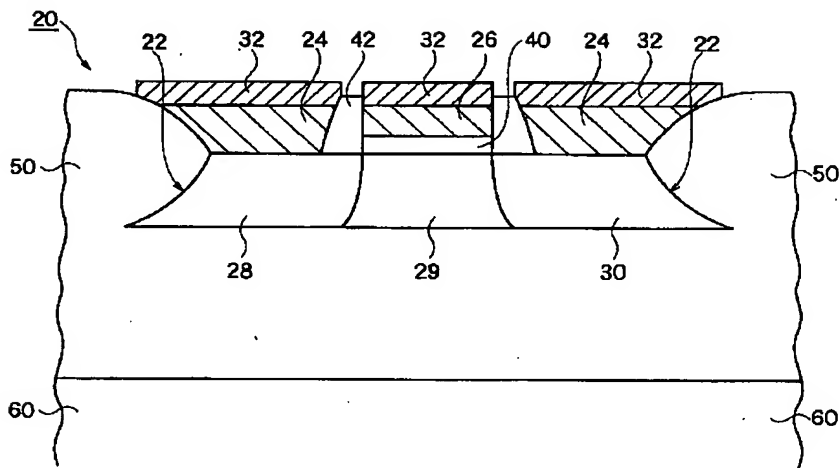
【図7】従来における半導体装置の製造方法を示す工程図である。

##### 【符号の説明】

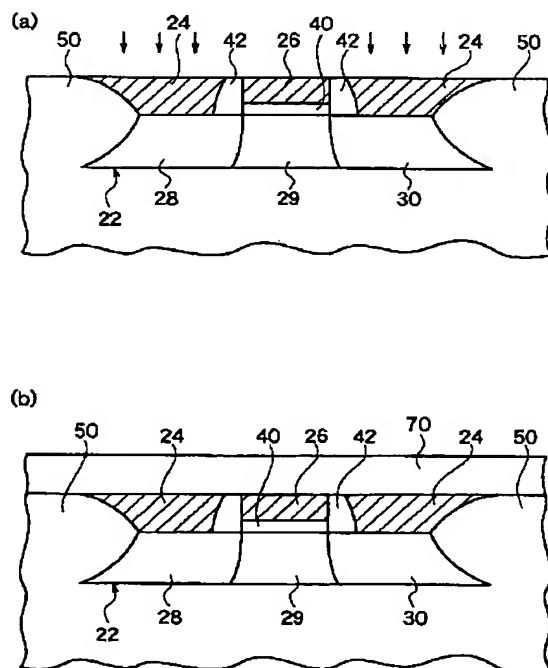
- 1.....半導体装置
- 2.....支持基板
- 3.....絶縁層
- 4.....素子形成領域
- 5.....ゲート電極
- 6.....ゲート絶縁膜
- 7.....チャネル領域

- |                 |                |
|-----------------|----------------|
| 10.....サイドウォール  | 26.....ゲート電極   |
| 11.....ソース領域    | 28.....ソース領域   |
| 12.....ドレイン領域   | 29.....チャネル領域  |
| 13.....シリサイド層   | 30.....ドレイン領域  |
| 14.....単結晶シリコン層 | 32.....シリサイド層  |
| 15.....窒化膜      | 40.....ゲート絶縁膜  |
| 16.....絶縁膜      | 41.....絶縁膜     |
| 18.....金属膜      | 42.....サイドウォール |
| 20.....半導体装置    | 50.....絶縁層     |
| 22.....素子形成領域   | 60.....支持基板    |
| 24.....多結晶シリコン層 | 70.....金属膜     |

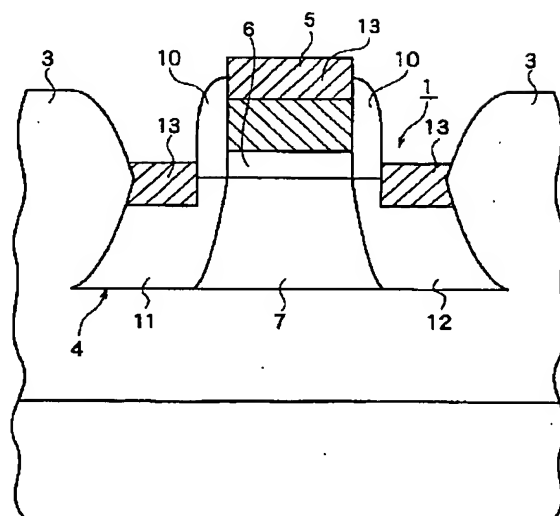
【図1】



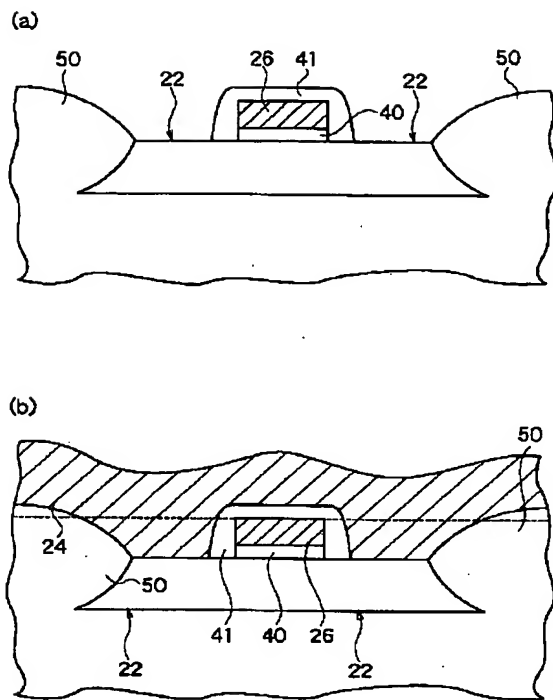
【図3】



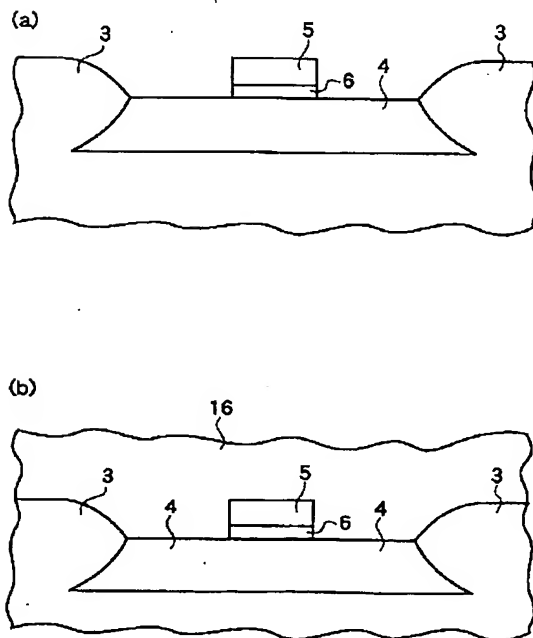
【図4】



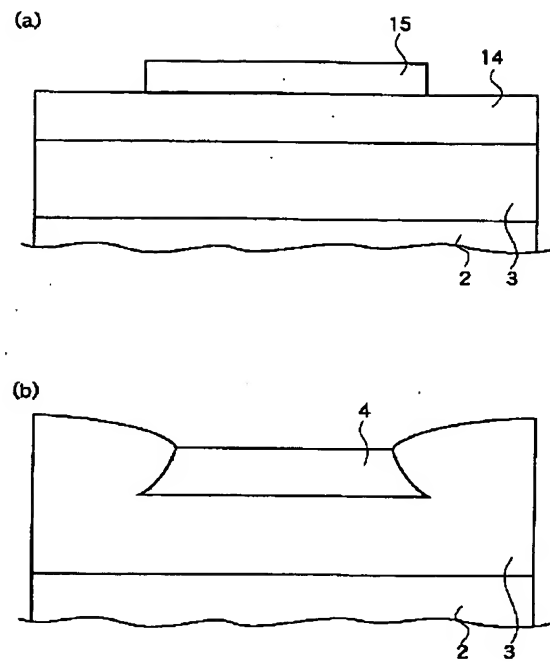
【図2】



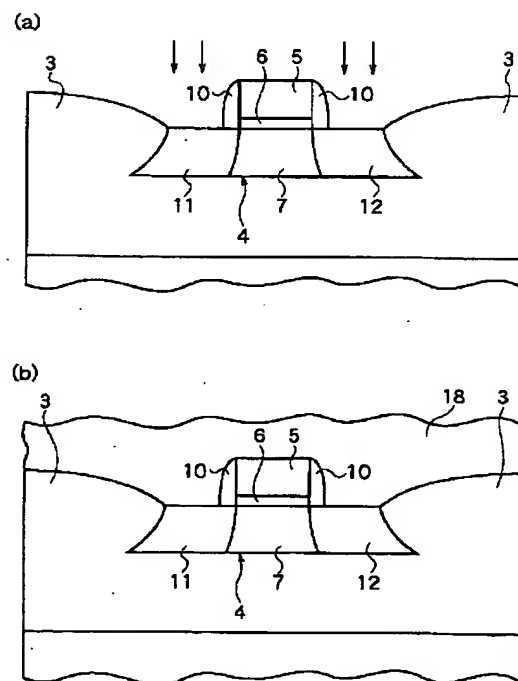
【図6】



【図5】



【図7】



## フロントページの続き

Fターム(参考) 4M104 AA09 BB20 BB25 BB28 CC01  
CC05 DD02 DD84 FF14 FF26  
GG09 GG10 GG14 HH16  
5F110 AA03 AA16 AA18 CC02 DD05  
DD13 EE05 EE09 EE14 EE32  
FF02 GG02 GG12 HJ01 HJ13  
HK05 HK09 HK14 HK21 HK25  
HK39 HK40 NN62 NN66 QQ11  
QQ19